

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION
Publication No. 2000-250846

From line 41 of the left column on page 6 to line 50 of the left column on page 7

[0074] (First Embodiment) Figure 1 shows the structure of a sequence processor 1 according to the first embodiment of the present invention. The sequence processor 1 serves as a target shown in Figures 8 and 9.

[0075] The sequence processor 1 is connected to a host computer 10 (hereinafter referred to as an initiator 10) via an IEEE1394 serial bus 12 (hereinafter referred to as a bus 12). Further, the sequence processor 1 is connected to a CPU 25 and is also connected to an optical disk controller 30 via a DMA bus 29.

[0076] A link core circuit 14 receives a packet from the bus 12 via a physical layer controller 13. The link core circuit 14 performs, on the received packet, creation/detection of an error detection code, addition of a code to the packet, code detection (code detection of an Ack Packet, for example) and the like. Further, the link core circuit 14 outputs a packet to the bus 12 via the physical layer controller 13 and has a function of re-trying packet transfer which has been failed.

[0077] The physical layer controller 13 has functions of, for example, initializing the bus 12, arbitrating and controlling a bias voltage.

[0078] A packet filter circuit 15 receives a packet from the link core circuit 14 and analyzes the content of the header field of the packet. The packet filter circuit 15 determines, according to the result of the analysis, whether the packet is to be stored into a packet receiving buffer 18 or into a transmitting-receiving buffer 16. Further, the packet filter circuit 15 outputs a control signal to a packet processing circuit 20 or to a sequence control circuit 21 according to the result of the analysis.

[0079] The packet receiving buffer 18 stores a packet independent from the protocol processing such as the command processing sequence and the

data transfer sequence.

[0080] The sequence control circuit 21 controls execution of the command processing sequence in response to the control signal from the packet filter circuit 15. The sequence control circuit 21 includes AGENT__RESISTER necessary for the SBP-2 command processing sequence, such as MANAGEMENT__AGENT 21a, AGENT__RESET register 21b and ORB__POINTER 21c.

[0081] The packet processing circuit 20 operates under control of the sequence control circuit 21 and stores the packet, which has been received in the link core circuit 14, into a command receiving buffer 22 as a command. The command stored in the command receiving buffer 22 is transferred to a register 24 by control of the CPU25. In this way, the command can be read from the CPU 25.

[0082] The CPU 25 executes the command which has been read from the register 24. For example, when the command from the register 24 is the LOGIN command, the CPU 25 executes the LOGIN processing.

[0083] In this way, in the sequence processor 1, the CPU 25 executes the packet (command) stored in the command receiving buffer 22. However, since the sequence control circuit 21 controls execution of the command processing sequence, the CPU 25 is not involved with the execution of the command processing sequence. Hence, it becomes possible to reduce the load of the CPU 25 during the execution of the command processing sequence, which serves to realize rapid data transfer according to the SBP-2 protocol based on the IEEE1394.

[0084] Before the command processing sequence terminates, the CPU 25 prepares an “example” of status information, which tells the result of execution of the command processing sequence, based on the information of the register 24. The reason for this is that the CPU 25 is capable of performing processing in parallel with the command processing sequence since the CPU 25 is not involved with execution of the command processing sequence. The information of the register 24 includes the destination ID and the destination offset, which are necessary for generating the BWRQ packet to be used for sending the status information to the initiator 10. The “example” of the status information is temporarily stored in a status sending buffer 28.

[0085] The packet processing circuit 20 receives the “example” of the status information from the status sending buffer 28 and combines this example with the result (for example, success/failure) of execution of the command processing sequence supplied from the sequence control circuit 21 (or a data transfer control circuit 26), so that the status information of the BWRQ system is generated. The status information of the BWRQ system is output to the bus 12 via the link core circuit 14.

[0086] Hence, the status information can be output to the bus immediately after termination of the command processing sequence in a manner that the “example” of the status information is prepared prior to termination of the command processing sequence.

[0087] The data transfer control circuit 26 controls execution of the data transfer processing sequence. For example, when the READ command is to be executed, the data transfer control circuit 26 is activated by the sequence control circuit 21 and directs the packet processing circuit 20 to read data which is recorded in the optical disk 33 (for example, DVD-RAM disk). The data which has been read from the optical disk 33 is input into the packet processing circuit 20 via an optical head 32, an analog signal processing circuit 31, an optical disk controller 30 and a DMA bus 29. The analog signal processing circuit 31 performs modulation/demodulation, error correction and the like.

[0088] The packet processing circuit 20 divides data, which has been read from the optical disk 33, into a plurality of packets for storing the data and outputs the plurality of packets to the bus 12 via the link core circuit 14. The above packet generation processing and packet transfer processing are controlled by the data transfer control circuit 26.

From lines 7 to 13 of the left column on page 11

[0150] Wherein, although only a single initiator is used in the aforementioned first embodiment and second embodiment, two or more nodes connected to the target can be each an initiator in the IEEE1394. In this time also, the sequence processing can be performed on a plurality of initiators in a manner that the sequence processing as explained above is employed.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-250846

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

G06F 13/12

G06F 13/38

G06F 13/42

(21)Application number : 11-052017

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 26.02.1999

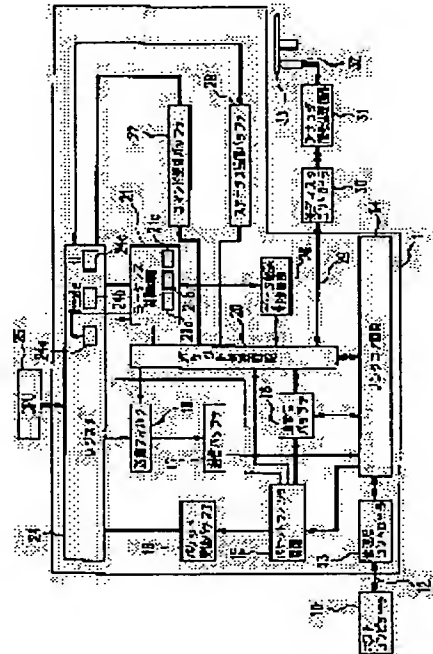
(72)Inventor : ITO HIROTAKE
ISHIMURA ISAMU
YOSHIDA HIROSHI
TAHIRA YOSHIHIRO
YAMADA HIROSHI

(54) SEQUENCE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To transfer data at a high speed by reducing the load of a CPU during the execution of a command processing sequence.

SOLUTION: A sequence processor 1 connected to a CPU 25 is provided with a link core circuit 14 for receiving a packet from a bus 12, a packet filter circuit 15 for receiving the packet from the link core circuit 14 and outputting a control signal corresponding to the contents of the packet, a sequence control circuit 21 for controlling the execution of the command processing sequence in response to the control signal from the packet filter circuit 15 and a packet processing circuit 20 for outputting the packet from the link core circuit 14 to a command reception buffer 22 under the control of the sequence control circuit 21. On the basis of the packet stored in the command reception buffer 22, the CPU 25 executes the command.



LEGAL STATUS

[Date of request for examination] 17.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-250846

(P2000-250846A)

(43) 公開日 平成12年9月14日 (2000.9.14)

(51) Int.Cl.⁷

識別記号

F I

ターミナル* (参考)

G 0 6 F 13/12

3 2 0

G 0 6 F 13/12

3 2 0 D

5 B 0 1 4

13/38

3 5 0

13/38

3 5 0

5 B 0 7 7

13/42

3 1 0

13/42

3 1 0

審査請求 未請求 請求項の数 8 O L (全 19 頁)

(21) 出願番号

特願平11-52017

(22) 出願日

平成11年2月26日 (1999.2.26)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 伊藤 裕隆

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 石村 勇

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

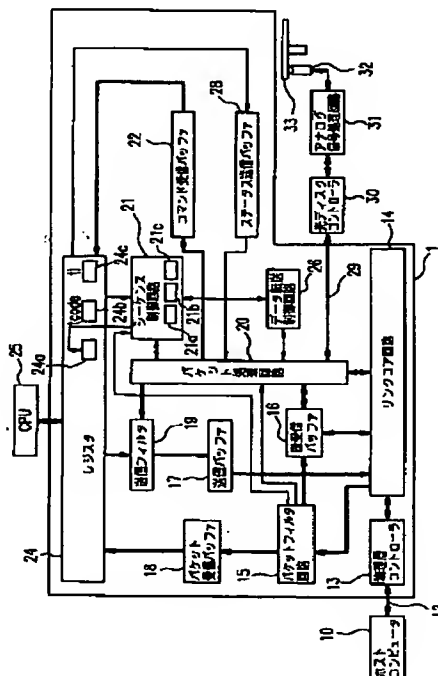
最終頁に続く

(54) 【発明の名称】 シーケンス処理装置

(57) 【要約】

【課題】 コマンド処理シーケンスの実行中における CPU の負荷を軽減することにより、データを高速に転送することを可能にするシーケンス処理装置を提供する。

【解決手段】 CPU 25 に接続されたシーケンス処理装置 1 は、バス 12 からパケットを受け取るリンクコア回路 14 と、リンクコア回路 14 からパケットを受け取り、パケットの内容に応じて制御信号を出力するパケットフィルタ回路 15 と、パケットフィルタ回路 15 からの制御信号にตอบสนองして、コマンド処理シーケンスの実行を制御するシーケンス制御回路 21 と、シーケンス制御回路 21 の制御下で、リンクコア回路 14 からのパケットをコマンド受信バッファ 22 に出力するパケット処理回路 20 とを備えている。CPU 25 は、コマンド受信バッファ 22 に格納されたパケットに基づいてコマンドを実行する。



【特許請求の範囲】

【請求項1】 CPUに接続されたシーケンス処理装置であって、

バスからパケットを受け取るリンクコア回路と、
前記リンクコア回路から前記パケットを受け取り、前記パケットの内容に応じて制御信号を出力するパケットフィルタ回路と、

前記パケットフィルタ回路からの制御信号に応答して、
コマンド処理シーケンスの実行を制御するシーケンス制御回路と、

前記シーケンス制御回路の制御下で、前記リンクコア回路からの前記パケットをコマンド受信バッファに出力するパケット処理回路とを備え、

前記CPUは、前記コマンド受信バッファに格納された前記パケットに基づいてコマンドを実行する、シーケンス処理装置。

【請求項2】 前記シーケンス制御回路は、前記コマンド処理シーケンスが実行されている間、前記コマンド処理シーケンスに関連しないパケットを前記バスから受け取ることを禁止するように前記リンクコア回路を制御する、請求項1に記載のシーケンス処理装置。

【請求項3】 前記シーケンス処理装置は、
前記パケットフィルタ回路からの制御信号に応答して、
データ転送処理シーケンスの実行を制御するデータ転送制御回路をさらに備えている、請求項1に記載のシーケンス処理装置。

【請求項4】 前記シーケンス制御回路は、前記データ転送処理シーケンスが実行されている間、前記バスから任意のパケットを受け取るように前記リンクコア回路を制御する、請求項3に記載のシーケンス処理装置。

【請求項5】 前記データ転送処理シーケンスが実行されている間に前記リンクコア回路が前記バスからパケットを受け取った場合には、前記データ転送制御回路は、前記データ転送処理シーケンスの実行を一時中断し、
前記シーケンス制御回路は、前記受け取ったパケットに基づく新たなコマンド処理シーケンスの実行を開始する、請求項3に記載のシーケンス処理装置。

【請求項6】 前記シーケンス制御回路は、前記新たなコマンド処理シーケンスが実行されている間、前記新たなコマンド処理シーケンスに関連しないパケットを前記バスから受け取ることを禁止するように前記リンクコア回路を制御する、請求項5に記載のシーケンス処理装置。

【請求項7】 前記シーケンス処理装置は、複数のコマンド受信バッファを有しており、
前記パケット処理回路は、前記リンクコアからの前記パケットを前記複数のコマンド受信バッファに選択的に出力する、請求項1に記載のシーケンス処理装置。

【請求項8】 前記シーケンス処理装置は、前記コマンド処理シーケンスの実行結果を示すステータス情報を格

納するステータス送信バッファをさらに有しており、
前記CPUは、前記コマンド処理シーケンスが終了する前に前記ステータス情報を作成し、前記ステータス情報を前記ステータス送信バッファに格納する、請求項1に記載のシーケンス処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シーケンス処理装置に関し、特に、IEEE1394方式のインタフェースを用いてデータを転送するためのシーケンスを処理するシーケンス処理装置に関する。

【0002】

【従来の技術】従来、コンピュータなどの電子機器とハードディスク装置などの記録装置との間でデータを転送するための方式としては、SCSI方式が採用されてきた。

【0003】最近、ハードディスク装置のデータ転送速度の向上や巨大磁気抵抗効果を利用したヘッドの実用化が近づくにつれて、記録密度の向上とともにデータ転送速度の向上が続けられている。また、マイクロプロセッサの性能の向上も著しい。

【0004】このような状況下で、SCSI方式より速くデータを転送することが可能なインタフェースの開発が求められている。

【0005】AV機器とコンピュータなどの電子機器とを接続するインタフェースとして、IEEE1394方式のインタフェースが次世代インタフェースとして注目されている。これは、IEEE1394方式のインタフェースがアシンクロナス(Asynchronous)通信とアイソクロナス(Isochronous)通信とを定義しているからである。

【0006】アシンクロナス通信は、記録媒体から読み出されたデータをコンピュータに転送する場合のようにリアルタイム性が要求されず、信頼性をより要求される通信に用いられる。アイソクロナス通信は、動画などのAVデータを転送する場合のように信頼性以上にリアルタイム性を要求される通信に用いられる。

【0007】例えば、IEEE1394方式のインタフェースを用いて、コンピュータから出力されたデータをDVD-RAMドライブ装置に格納したり、DVD-RAMドライブ装置に記録されたデータをコンピュータが読み出したりする場合には、アシンクロナス通信が用いられる。

【0008】IEEE1394方式のアシンクロナス通信をする場合のイニシエータ(例えば、コンピュータ)とターゲット(例えば、周辺装置)との間のプロトコルとして、SBP-2(Serial Bus Protocol)が知られている。SBP-2は、現在、ANSIにて審議が継続されている状態である。

【0009】以下、図8および図9を参照して、SBP

ー2に従って、イニシエータ（例えば、ホストPC）がターゲット（例えば、光ディスク装置）に記録されたデータを読み出す場合におけるコマンド処理シーケンスを説明する。

【0010】なお、SBP-2においては、READ、WRITEなどのコマンド系のコマンドと、LOGIN、QUERY LOGIN、ABORT TASK、ABORT TASK SETなどのマネージメント系（タスク管理系）のコマンドとの2種類のコマンドが用意されている。

【0011】図8は、マネージメント系のLOGINコマンドを実行するためのコマンド処理シーケンスを示す。

【0012】（1）イニシエータは、QRRQ（Quadlet Read Request）パケットを発行することにより、ターゲットのコンフィグレーションROMに格納されているMANAGEMENT_AGENTレジスタのアドレスの取得を要求する。

【0013】（2）ターゲットは、イニシエータからのQRRQパケットに応答して、QRRS（Quadlet Read Response）パケットをイニシエータに返す。

【0014】（3）イニシエータは、BWRQ（Block Write Request）パケットを発行することにより、ORB（Operation Request Blocks）のアドレスをMANAGEMENT_AGENTレジスタに書き込む。なお、ORBは、イニシエータにおいて予め用意されており、MANAGEMENT_AGENTレジスタは、ターゲットのCSR（Control Status Register）空間に定義されている。

【0015】（4）ターゲットは、イニシエータからのBWRQパケットに応答して、WRS（Write Response）パケットをイニシエータに返す。

【0016】（5）ターゲットは、BRRQ（Block Read Request）パケットを発行することにより、MANAGEMENT_AGENTレジスタに格納されたアドレスに位置するORBをイニシエータからターゲットに送信することを要求する。

【0017】（6）イニシエータは、ターゲットからのBRRQパケットに応答して、BRRS（Block Read Response）パケットをターゲットに返す。BRRSパケットのデータフィールドには、ORBが格納されている。このようにして、ORBがイニシエータからターゲットに送信される。

【0018】（7）ターゲットは、イニシエータからORBを受信し、受信されたORBの内容を解析する。

【0019】（8）受信されたORBがLOGINコマンドを表す場合には、ターゲットは、そのLOGINコマンドを実行する。

【0020】（9）LOGINコマンドの実行が終了した後、ターゲットは、LOGINコマンドの実行結果を示すステータス情報を作成する。

【0021】（10）ターゲットは、BWRQパケットを発行することにより、ステータス情報をイニシエータに送信する。ステータス情報は、ORBによって指定される所定のアドレス（イニシエータのStatus_FIFOアドレス）に格納される。

【0022】（11）イニシエータは、ターゲットからのBWRQパケットに応答して、WRSパケットをターゲットに返す。

【0023】（12）ターゲットは、イニシエータからのWRSパケットのrCodeがresp_completeであるか否かを判定する。イニシエータからのWRSパケットのrCodeがresp_completeである場合には、LOGINコマンドに関する一連のコマンド処理シーケンスが完了する。

【0024】なお、図8には示されていないが、ターゲットは、イニシエータからのパケットを受信すると、Ack Packet（Acknowledge Packet）をイニシエータに返す。同様に、イニシエータは、ターゲットからのパケットを受信すると、Ack Packetをターゲットに返す。

【0025】図9は、コマンド系のREADコマンドを実行するためのコマンド処理シーケンスを示す。図9に示されるコマンド処理シーケンスは、図8に示されるコマンド処理シーケンスが実行された後に実行される。

【0026】（13）イニシエータは、READコマンドを表すORBを作成する。READコマンドを表すORBは、データ数、最大パケット長、転送方向、転送方法などREADコマンドを実行するために必要な情報を定義する。

【0027】（14）イニシエータは、QWRQパケットを発行することにより、ターゲットのAGENT_RESETレジスタをリセットする。なお、AGENT_RESETレジスタは、ターゲットのCSR空間に定義されている。

【0028】（15）ターゲットは、イニシエータからのQWRQパケットに応答して、WRSパケットをイニシエータに返す。

【0029】（16）イニシエータは、BWRQパケットを発行することにより、ORBのアドレスをORB_POINTERレジスタに書き込む。なお、ORB_POINTERレジスタは、ターゲットのCSR空間に定義されている。

【0030】（17）ターゲットは、イニシエータからのBWRQパケットに応答して、WRSパケットをイニシエータに返す。

【0031】（18）ターゲットは、BRRQパケットを発行することにより、ORB_POINTERレジスタ

タに格納されたアドレスに位置するORBをイニシエータからターゲットに送信することを要求する。

【0032】(19)イニシエータは、ターゲットからのBRRQパケットに応答して、BRRSパケットをターゲットに返す。BRRSパケットのデータフィールドには、ORBが格納されている。このようにして、ORBがイニシエータからターゲットに送信される。

【0033】(20)ターゲットは、イニシエータからORBを受信し、受信されたORBの内容を解析する。

【0034】(21)受信されたORBがREADコマンドを表す場合には、ターゲットは、そのREADコマンドを実行する。READコマンドの実行により、以下の(22)および(23)が繰り返される。これは、転送すべきデータのサイズが大きい場合には、そのデータを複数のパケットに分割して転送するためである。転送すべきデータは、ターゲットによって用意される。

【0035】(22)ターゲットは、BWRQパケットを発行することにより、ORBによって指定されるアドレスにデータを格納する。

【0036】(23)イニシエータは、ターゲットからのBWRQパケットに応答して、WRSパケットをターゲットに返す。

【0037】(22)および(23)は1つのトランザクションを構成する。1つのトランザクションが正常に終了したことが確認された後に、次のトランザクションが実行される。このようにして、データ転送処理シーケンスが進むことになる。

【0038】(24)データ転送処理シーケンスが正常に終了した後、ターゲットは、READコマンドの実行結果を示すステータス情報を作成する。

【0039】(25)ターゲットは、BWRQパケットを発行することにより、ステータス情報をイニシエータに送信する。ステータス情報は、ORBによって指定される所定のアドレスに格納される。

【0040】(26)イニシエータは、ターゲットからのBWRQパケットに応答して、WRSパケットをターゲットに返す。

【0041】(27)ターゲットは、イニシエータからのWRSパケットのrCodeがresp_completeであるか否かを判定する。イニシエータからのWRSパケットのrCodeがresp_completeである場合には、READコマンドに関する一連のコマンド処理シーケンスが完了する。

【0042】なお、図9には示されていないが、ターゲットは、イニシエータからのパケットを受信すると、Ack Packetをイニシエータに返す。同様に、イニシエータは、ターゲットからのパケットを受信すると、Ack Packetをターゲットに返す。

【0043】例えば、イニシエータまたはターゲットがパケットの受信に成功した場合には、イニシエータまた

はターゲットは、パケットの受信に成功したことを示す"Ack_complete"という値を有するAck Packetを返す。イニシエータまたはターゲットがパケットを受信することができない状態である場合には、イニシエータまたはターゲットは、パケットを受信することができない状態であることを示す"Ack_busy"という値を有するAck Packetを返す。

【0044】データ転送処理シーケンスにおいて、ターゲットからのBWRQパケットに対してイニシエータが"Ack_busy"という値を有するAck Packetをターゲットに返した場合には、ターゲットはBWRQパケットをイニシエータに再送信する。

【0045】図10は、SBP-2に従ったコマンド処理シーケンスを実行する従来のシーケンス処理装置110の構成を示す。

【0046】シーケンス処理装置110は、1394バス112に接続される物理層コントローラ(PHY)100と、1394バス112からのパケットを物理層コントローラ100を介して受け取り、パケットを物理層コントローラ100を介して1394バス112に出力するリンク層コントローラ101を含む。

【0047】リンク層コントローラ101には、CPU102、DMAコントローラ103およびメモリ104が接続されている。

【0048】物理層コントローラ100は、バスの初期化、アービトレーション、バイアス電圧の制御等の機能を有している。

【0049】リンク層コントローラ101は、リンクコア回路101aと、送信用FIFO101b-1と、受信用FIFO101b-2と、コントロールステータスレジスタ(CSR)101cと、インタフェース部101dを含む。

【0050】リンクコア回路101aは、誤り検出符号の作成/検出、パケットへの符号の付加、物理層コントローラ100へのパケット送信、Ack Packetのコード検出およびリトライ等の機能を有している。送信用FIFO101b-1および受信用FIFO101b-2のサイズは、最大転送パケットサイズに等しい。

【0051】1394バス112からパケットが受信されると、そのパケットは受信用FIFO101b-2に格納される。そのパケットに対するすべての処理は、CPU102の制御下で行われる。CPU102は、インタフェース部101dを介してCSR101cからデータを読み出し、または、CSR101cにデータを書き込むことにより、リンク層コントローラ101の動作を制御する。

【0052】このようにして、パケットが受信用FIFO101b-2に格納されると、そのパケットに関連するコマンド処理シーケンスがCPU102によって実行

される。

【0053】なお、図8および図9を参照して説明したコンフィグレーションROM、MANAGEMENT_AGENTレジスタ、AGENT_RESETレジスタ、ORB_POINTERレジスタは、図10には示されていないが、いずれも、CPU102内に設けられている。

【0054】

【発明が解決しようとする課題】しかしながら、従来のシーケンス処理装置110では、CPU102がリンク層コントローラ101を制御することにより、CPU102がコマンド処理シーケンスやデータ転送処理シーケンスの実行を制御する必要がある。このことは、CPU102の負荷を増大させる。特に、DVD-ROM/RAMなどの記録装置によって取り扱われる大量のデータを転送する必要がある場合には、CPU102の負荷が飛躍的に増大する。その結果、CPU102によって実行されるファームウェアのオーバーヘッドが増大し、IEEE1394方式を採用することにより本来実現されるべき高速シリアルバスインタフェースとしての高い転送レートを実現することが非常に困難になる。また、CPU102が制御すべき処理が増大するほどCPU102のROM容量も大きくなるため、そのようなCPUを含む装置を他のシステムに組み込みことは不都合を生じさせやすい。

【0055】本発明は、上記課題を解決するためになされたものであり、コマンド処理シーケンスの実行中におけるCPUの負荷を軽減することにより、データを高速に転送することを可能にするシーケンス処理装置を提供することを目的とする。

【0056】

【課題を解決するための手段】本発明のシーケンス処理装置は、CPUに接続されたシーケンス処理装置であって、バスからパケットを受け取るリンクコア回路と、前記リンクコア回路から前記パケットを受け取り、前記パケットの内容に応じて制御信号を出力するパケットフィルタ回路と、前記パケットフィルタ回路からの制御信号にตอบสนองして、コマンド処理シーケンスの実行を制御するシーケンス制御回路と、前記シーケンス制御回路の制御下で、前記リンクコア回路からの前記パケットをコマンド受信バッファに出力するパケット処理回路とを備え、前記CPUは、前記コマンド受信バッファに格納された前記パケットに基づいてコマンドを実行する。これにより、上記目的が達成される。

【0057】前記シーケンス制御回路は、前記コマンド処理シーケンスが実行されている間、前記コマンド処理シーケンスに関連しないパケットを前記バスから受け取ることを禁止するように前記リンクコア回路を制御してもよい。

【0058】前記シーケンス処理装置は、前記パケット

フィルタ回路からの制御信号にตอบสนองして、データ転送処理シーケンスの実行を制御するデータ転送制御回路をさらに備えていてもよい。

【0059】前記シーケンス制御回路は、前記データ転送処理シーケンスが実行されている間、前記バスから任意のパケットを受け取るように前記リンクコア回路を制御してもよい。

【0060】前記データ転送処理シーケンスが実行されている間に前記リンクコア回路が前記バスからパケットを受け取った場合には、前記データ転送制御回路は、前記データ転送処理シーケンスの実行を一時中断し、前記シーケンス制御回路は、前記受け取ったパケットに基づく新たなコマンド処理シーケンスの実行を開始してもよい。

【0061】前記シーケンス制御回路は、前記新たなコマンド処理シーケンスが実行されている間、前記新たなコマンド処理シーケンスに関連しないパケットを前記バスから受け取ることを禁止するように前記リンクコア回路を制御してもよい。

【0062】前記シーケンス処理装置は、複数のコマンド受信バッファを有しており、前記パケット処理回路は、前記リンクコアからの前記パケットを前記複数のコマンド受信バッファに選択的に出力してもよい。

【0063】前記シーケンス処理装置は、前記コマンド処理シーケンスの実行結果を示すステータス情報を格納するステータス送信バッファをさらに有しており、前記CPUは、前記コマンド処理シーケンスが終了する前に前記ステータス情報を作成し、前記ステータス情報を前記ステータス送信バッファに格納してもよい。

【0064】以下、作用を説明する。

【0065】請求項1に係る発明によれば、コマンド受信バッファに格納されたパケット（コマンド）は、CPUによって実行される。しかし、コマンド処理シーケンスの実行はシーケンス制御回路によって制御されるため、CPUがコマンド処理シーケンスの実行に関与することはない。これにより、コマンド処理シーケンスの実行中におけるCPUの負荷を軽減することが可能になる。

【0066】請求項2に係る発明によれば、コマンド処理シーケンスが実行されている間、そのコマンド処理シーケンスに関連しないパケットをバスから受け取ることが禁止される。これにより、コマンド処理シーケンスがいったん開始されると、そのコマンド処理シーケンスの実行が途中で中断されることがない。コマンド処理シーケンスの実行の途中で他のコマンド処理シーケンスに分岐するなどの余分な制御をする必要がないため、コマンド処理シーケンスの制御が容易になる。その結果、シーケンス処理装置の構成を簡素化することが可能になる。

【0067】請求項3に係る発明によれば、データ転送処理シーケンスの実行はデータ転送制御回路によって制

御されるため、CPUがデータ転送処理シーケンスの実行に関与することはない。これにより、データ転送処理シーケンスの実行中におけるCPUの負荷を軽減することが可能になる。

【0068】請求項4に係る発明によれば、データ転送処理シーケンスが実行されている間、任意のバスをバスから受け取ることが許容される。これにより、データ転送処理シーケンスによって長時間バスが占有されることを防止することができる。

【0069】請求項5に係る発明によれば、データ転送処理シーケンスが実行されている間にバスからバスケットを受け取った場合には、データ転送処理シーケンスの実行が一時中断され、受け取ったバスケットに基づく新たなコマンド処理シーケンスの実行が開始される。これにより、データ転送処理シーケンスの実行中に、新たなコマンド処理シーケンスを優先的に実行することが可能になる。

【0070】請求項6に係る発明によれば、新たなコマンド処理シーケンスが実行されている間、その新たなコマンド処理シーケンスに関連しないバスケットをバスから受け取ることが禁止される。これにより、コマンド処理シーケンスの制御が容易になる。その結果、シーケンス処理装置の構成を簡素化することが可能になる。

【0071】請求項7に係る発明によれば、複数のコマンド受信バッファが設けられており、受信されたバスケットは複数のコマンド受信バッファに選択的に出力される。これにより、コマンド処理シーケンスの実行中に、新たなコマンド処理シーケンスを優先的に実行することが可能になる。

【0072】請求項8に係る発明によれば、CPUは、コマンド処理シーケンスが終了する前にステータス情報を予め作成しておくことができる。これは、CPUがコマンド処理シーケンスの実行に関与していないからである。これにより、コマンド処理シーケンスの終了後すぐにステータス情報をバスに出力することが可能になる。

【0073】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。なお、ここで示す実施の形態はあくまでも一例であり、かならずしもこの実施の形態に限定されるものではない。

【0074】(実施の形態1) 図1は、本発明の実施の形態1のシーケンス処理装置1の構成を示す。シーケンス処理装置1は、図8および図9に示されるターゲットとして機能する。

【0075】シーケンス処理装置1は、IEEE1394シリアルバス12(以下、バス12という)を介してホストコンピュータ10(以下、イニシエータ10という)に接続されている。また、シーケンス処理装置1は、CPU25に接続されており、DMAバス29を介して光ディスクコントローラ30に接続されている。

【0076】リンクコア回路14は、バス12からのバスケットを物理層コントローラ13を介して受信する。リンクコア回路14は、受信したバスケットに対して誤り検出符号の作成/検出、バスケットへの符号の付加、コードの検出(例えば、Ack Packetのコードの検出)などを行う。また、リンクコア回路14は、物理層コントローラ13を介してバスケットをバス12に出力する。さらに、リンクコア回路14は、バスケットの転送が失敗した場合にそのバスケットの転送を再度試みるリトライ機能を有している。

【0077】物理層コントローラ13は、バス12の初期化、アービトレーション、バイアス電圧の制御等の機能を有している。

【0078】バスケットフィルタ回路15は、リンクコア回路14からバスケットを受け取り、そのバスケットのヘッダフィールドの内容を解析する。バスケットフィルタ回路15は、その解析結果に応じて、そのバスケットをバスケット受信バッファ18に格納するか、送受信バッファ16に格納するかを選択する。また、バスケットフィルタ回路15は、その解析結果に応じて、バスケット処理回路20またはシーケンス制御回路21に制御信号を出力する。

【0079】バスケット受信バッファ18には、コマンド処理シーケンスおよびデータ転送処理シーケンスなどのプロトコル処理に関係がないバスケットが格納される。

【0080】シーケンス制御回路21は、バスケットフィルタ回路15からの制御信号にตอบสนองして、コマンド処理シーケンスの実行を制御する。シーケンス制御回路21は、MANAGEMENT_AGENT21a、AGENT_RESETレジスタ21b、ORB_POINTER21c等のSBP-2コマンド処理シーケンスに必要なAGENT_REGISTERを含む。

【0081】バスケット処理回路20は、シーケンス制御回路21の制御の下で動作し、リンクコア回路14によって受信されたバスケットをコマンドとしてコマンド受信バッファ22に格納する。コマンド受信バッファ22に格納されたコマンドは、CPU25の制御によってレジスタ24に転送される。これにより、コマンドがCPU25から読み出し可能な状態となる。

【0082】CPU25は、レジスタ24から読み出されたコマンドを実行する。例えば、レジスタ24から読み出されたコマンドがLOGINコマンドである場合には、CPU25は、LOGIN処理を実行する。

【0083】このように、シーケンス処理装置1によれば、コマンド受信バッファ22に格納されたバスケット(コマンド)は、CPU25によって実行される。しかし、コマンド処理シーケンスの実行はシーケンス制御回路21によって制御されるため、CPU25がコマンド処理シーケンスの実行に関与することはない。これにより、コマンド処理シーケンスの実行中におけるCPU25の負荷を軽減することが可能になる。このことは、I

IEEE1394に準拠したSBP-2プロトコルでの高速なデータ転送を実現するのに役立つ。

【0084】CPU25は、コマンド処理シーケンスが終了する前に、コマンド処理シーケンスの実行結果を示すステータス情報の「ひな型」をレジスタ24の情報に基づいて作成する。これは、CPU25はコマンド処理シーケンスの実行に関与しないため、コマンド処理シーケンスと並列的な処理を行うことが可能だからである。レジスタ24の情報には、例えば、ステータス情報をイニシエータ10に送信するために使用されるBWRQパケットを作成するために必要なデスティネーションIDやデスティネーションオフセットが含まれる。ステータス情報の「ひな型」は、ステータス送信バッファ28に一時的に格納される。

【0085】パケット処理回路20は、ステータス送信バッファ28からステータス情報の「ひな型」を受け取り、これとシーケンス制御回路21（またはデータ転送制御回路26）から供給されるコマンド処理シーケンスの実行結果（例えば、成功/失敗）とを合成することにより、BWRQ形式のステータス情報を作成する。BWRQ形式のステータス情報は、リンクコア回路14を介してバス12に出力される。

【0086】このように、コマンド処理シーケンスの終了前にステータス情報の「ひな型」を予め作成しておくことにより、コマンド処理シーケンスの終了後すぐにステータス情報をバスに出力することが可能になる。

【0087】データ転送制御回路26は、データ転送処理シーケンスの実行を制御する。例えば、READコマンドが実行される場合には、データ転送制御回路26は、シーケンス制御回路21によって起動され、光ディスク33（例えば、DVD-RAMディスク）に記録されたデータを読み出すようにパケット処理回路20に指示する。光ディスク33から読み出されたデータは、光ヘッド32、アナログ信号処理回路31、光ディスクコントローラ30およびDMAバス29を介してパケット処理回路20に入力される。アナログ信号処理回路31では、変調復調や誤り訂正などの処理が行われる。

【0088】パケット処理回路20は、光ディスク33から読み出したデータを複数のパケットに分割して格納し、その複数のパケットをリンクコア回路14を介してバス12に出力する。このようなパケット生成処理およびパケット転送処理は、データ転送制御回路26によって制御される。

【0089】このように、データ転送処理シーケンスの実行はデータ転送制御回路26によって制御されるため、CPU25がデータ転送処理シーケンスの実行に関与することはない。これにより、データ転送処理シーケンスの実行中におけるCPU25の負荷を軽減することが可能になる。このことは、IEEE1394に準拠した高速なデータ転送を実現するのに役立つ。

【0090】なお、IEEE1394方式に従ってデータを転送する場合には、その転送速度によりパケットの転送可能な最大ペイロードサイズが規定されているため、転送速度によりパケットのデータフィールドの最大サイズは規定されている。本実施の形態では、S400（400bit/sec）とし、1パケットでの転送可能なデータ長は2048バイトである。

【0091】送信フィルタ17は、レジスタ24からのパケットとパケット処理回路20からのパケットとを送信バッファ17に選択的に格納するために使用される。送信バッファ17に格納されたパケットは、リンクコア回路14を介してバス12に出力される。

【0092】なお、シーケンス制御回路21は、コマンド処理シーケンスが実行されている間、そのコマンド処理シーケンスに関連しないパケットをバスから受け取ることを禁止するようにリンクコア回路14を制御する。

【0093】パケットをバスから受け取ることを禁止する制御は、例えば、パケットフィルタ回路15からの制御信号にตอบสนองして、レジスタ24内のAckコントロール変数24aの値を“Ack_busy”に設定することによって達成される。

【0094】リンクコア回路14は、レジスタ24内のAckコントロール変数24aの値を参照可能なように構成されている。Ackコントロール変数24aの値が“Ack_busy”に設定されている場合には、リンクコア回路14は、バス12からパケットを受信することなく、そのパケットに対して“Ack_busy”の値を有するAck Packetをイニシエータ10に返す。

【0095】バスからのパケットが実行中のコマンド処理シーケンスに関連するパケットか否かは、レジスタ24内のtcode変数24bの値およびt1変数24cの値を参照することによって判定され得る。ここで、tcode変数24bは、パケットの種類（すなわち、QRRQ、BRRQ、BWRQ、WRSなど）を示すコードである。t1変数24cは、トランザクションを識別するためのコードである。tコード変数24bの値およびt1変数24cの値は、レジスタ24に格納されるパケットによって更新される。

【0096】リンクコア回路14は、レジスタ24内のtcode変数24baの値およびt1変数24cの値を参照可能なように構成されている。リンクコア回路14は、バス12からのパケットに含まれるtcode領域の値およびt1領域の値とtコード変数24bの値およびt1変数24cの値と比較し、両者が一致すればバスからのパケットが実行中のコマンド処理シーケンスに関連すると判定し、両者が一致しなければバスからのパケットが実行中のコマンド処理シーケンスに関連しないと判定する。

【0097】このように、コマンド処理シーケンスが実

行されている間、そのコマンド処理シーケンスに関連しないパケットをバスから受信しないようにすることにより、コマンド処理シーケンスがいったん開始されると、そのコマンド処理シーケンスの実行が途中で中断されることがない。コマンド処理シーケンスの実行の途中で他のコマンド処理シーケンスに分岐するなどの余分な制御をする必要がないため、シーケンス制御回路21によるコマンド処理シーケンスの制御が容易になる。その結果、シーケンス処理装置1の構成を簡素化することが可能になる。

【0098】図2(a)～(e)は、バス12から受信されるパケットのフォーマットを示す。図2(a)～(e)において、斜線の領域はリザーブ領域を示す。

【0099】より具体的には、図2(a)は、BWRQ(Block Write Request)パケットのフォーマットを示す。図2(b)は、QWRQ(Quadlet Write Request)パケットのフォーマットを示す。図2(c)は、WRS(Write Response)パケットのフォーマットを示す。図2(d)は、BRRQ(Block Read Request)パケットのフォーマットを示す。図2(e)は、BRRS(Block Read Response)パケットのフォーマットを示す。

【0100】なお、バス12に出力されるパケットのフォーマットも図2(a)～(e)に示されるフォーマットと同一である。

【0101】図3(a)～(e)は、リンクコア回路14に書き込む際のパケットのフォーマットを示す。すなわち、図1に示される送信バッファ17、送受信バッファ18およびパケット処理回路20は、いずれも、図3(a)～(e)に示されるフォーマットでパケットをリンクコア回路14に書き込む。なお、図3(a)～(e)に示されるフォーマットは、図2(a)～(e)に示されるフォーマットにそれぞれ対応する。

【0102】リンクコア回路14は、パケットをバス12に出力する際には、header_CRCやdata_CRCなどのチェックコードを計算し、その計算結果を示すフィールドを図3(a)～(e)に示されるフォーマットのパケットに追加する。このようにして、リンクコア回路14によって、図2(a)～(e)に示されるフォーマットのパケットが作成される。

【0103】また、リンクコア回路14は、パケットをバス12から受信した際には、図2(a)～(e)に示されるフォーマットに含まれるheader_CRC領域やdata_CRC領域を参照することにより、CRCによる誤り検出を行う。

【0104】図4Aおよび図4Bは、マネージメント系のLOGINコマンドが実行される場合におけるシーケンス処理装置1の動作を示す。

【0105】図4Aを参照して、バス12からBWRQ

#1パケットが受信されると、バス12には“Ack_complete”の値を有するAck Packetが返される。

【0106】バス12上のBWRQ#1パケットは、パケットフィルタ回路15に転送される。

【0107】パケットフィルタ回路15は、BWRQ#1パケットの内容を解析することにより、制御信号をシーケンス制御回路21に出力する。

【0108】シーケンス制御回路21は、パケットフィルタ回路15からの制御信号にตอบสนองして、「Ack Control Set」というイベントを発生させる。これにより、レジスタ24内のAckコントロール変数24aの値が“Ack_busy”に設定される。

【0109】その後、シーケンス制御回路21は、「WRS要求」というイベントを発生させる。このイベントの発生にตอบสนองして、パケット処理回路20は、WRSパケットのヘッダとデータとを生成する。WRSパケットは、送受信バッファ16を介してバス12に出力される。

【0110】そのWRSパケットに対する応答として、“Ack_complete”の値を有するAck Packetがバス12から受信されると、その受信されたAck Packetがパケットフィルタ回路15に転送される。

【0111】パケットフィルタ回路15は、Ack Packetの内容を解析することにより、制御信号をシーケンス制御回路21に出力する。

【0112】シーケンス制御回路21は、パケットフィルタ回路15からの制御信号にตอบสนองして、「BRRQ要求」というイベントを発生させる。このイベントの発生にตอบสนองして、パケット処理回路20は、BRRQパケットのヘッダとデータとを生成する。BRRQパケットは、バス12に出力される。

【0113】そのBRRQパケットに対する応答として、BRRSパケットがバス12から受信されると、その受信されたBRRSパケットがパケットフィルタ回路15に転送される。

【0114】パケットフィルタ回路15は、BRRSパケットの内容を解析することにより、制御信号をシーケンス制御回路21に出力する。

【0115】シーケンス制御回路21は、パケットフィルタ回路15からの制御信号にตอบสนองして、「コマンド格納」というイベントを発生させる。このイベントの発生にตอบสนองして、パケット処理回路20は、パケットフィルタ回路15から送受信バッファ16を介して受け取ったBRRSパケットをコマンド受信バッファ22に出力する。

【0116】また、「コマンド格納」というイベントによってコマンド受信割り込みがCPU25に出力される。CPU25は、このコマンド受信割り込みにตอบสนองし

て、コマンド受信バッファ22に格納されたコマンドをレジスタ24に取り込み、そのコマンドを実行する。

【0117】なお、図4Aにおいて、バス12上に示される「BWRQ#2」および「Ack_busy」は、バス12上のBWRQ#2パケットが実行中のコマンド処理シーケンスに関連しないパケットであると判定されたため、そのBWRQ#2パケットに対する応答として「Ack_busy」の値を有するAck_Packetがバス12に出力されたことを示す。

【0118】次に、図4Bを参照して、CPU25は、「ステータスWrite」という処理を実行することにより、ステータス情報の「ひな型」を作成し、それをステータス送信バッファ28に格納する。ステータス送信バッファ28に格納されたステータス情報の「ひな型」は、BWRQパケットのデータとして使用される。

【0119】その後、CPU25は、「ステータス転送起動」という処理を実行することにより、シーケンス制御回路21は、「ステータス転送」というイベントを発生させる。このイベントの発生に反応して、パケット処理回路20は、BWRQパケットのヘッダを作成し、このBWRQパケットのヘッダとステータス送信バッファ28に格納されたBWRQパケットのデータとを結合させる。これにより、BWRQパケットが完成する。BWRQパケットは、送受信バッファ16を介してバス12に出力される。

【0120】そのBWRQパケットに対する応答として、「Ack_complete」の値を有するAck_PacketとWRSパケットとがバス12から受信されると、その受信されたWRSパケットがパケットフィルタ回路15に転送される。

【0121】パケットフィルタ回路15は、WRSパケットの内容を解析することにより、制御信号をシーケンス制御回路21に出力する。

【0122】シーケンス制御回路21は、パケットフィルタ回路15からの制御信号に反応して、「ステータス転送終了」というイベントを発生させる。「ステータス転送終了」というイベントによって割り込みがCPU25に出力される。CPU25は、割り込みの発生によってマネジメント系のLOGINコマンドに対応するコマンド処理シーケンスが終了したことを通知される。

【0123】(実施の形態2)図5は、本発明の実施の形態2のシーケンス処理装置2の構成を示す。図5において、図1に示される構成要素と同一の構成要素には同一の参照符号を付し、その説明を省略する。

【0124】シーケンス処理装置2は、マネジメント系のコマンドを格納するためのコマンド受信バッファ22aと、コマンド系のコマンドを格納するためのコマンド受信バッファ22bとを備えている。なお、コマンドの種類が3種類以上ある場合には、その種類に応じて3個以上のコマンド受信バッファを設けるようにしてもよ

い。

【0125】受信されたパケットは、コマンド受信バッファ22aまたはコマンド受信バッファ22bの一方に選択的に出力される。これにより、コマンド処理シーケンスの実行中に、新たなコマンド処理シーケンスを優先的に実行することが可能になる。

【0126】シーケンス制御回路21は、データ転送処理シーケンスが実行されている間、任意のパケットをバスから受け取るようにリンクコア回路14を制御してもよい。このような制御は、レジスタ24内のAckコントロール変数24aの値の設定を「Ack_busy」から解除することによって達成される。これにより、データ転送処理シーケンスによってバス12が長時間占有され続けることを防止することができる。

【0127】さらに、データ転送処理シーケンスが実行されている間に、リンクコア回路14がパケットをバス12から受け取った場合には、データ転送制御回路26は、データ転送処理シーケンスの実行を一時中断し、シーケンス制御回路21は、受け取ったパケットに基づく新たなコマンド処理シーケンスの実行を開始するようにしてもよい。これにより、データ転送処理シーケンスの実行中に、新たなコマンド処理シーケンスを優先的に実行することが可能になる。

【0128】シーケンス制御回路21は、新たなコマンド処理シーケンスが実行されている間、その新たなコマンド処理シーケンスに関連しないパケットをバスから受け取ることを禁止するようにリンクコア回路14を制御してもよい。このような制御は、新たなコマンド処理シーケンスの実行の開始に反応して、レジスタ24内のAckコントロール変数24aの値を「Ack_busy」に再設定することによって達成される。これにより、シーケンス制御回路21によるコマンド処理シーケンスの制御が容易になる。その結果、シーケンス処理装置1の構成を簡素化することが可能になる。

【0129】図6Aおよび図6Bは、コマンド系のREADコマンドが実行される場合におけるシーケンス処理装置2の動作を示す。なお、この例では、イニシエータ10から要求されるデータ長を32kByteとする。データを転送するパケットのデータフィールドのサイズが2kByteである。したがって、32kByteのデータを転送するために16個のパケットが転送されることになる。

【0130】図6Aに示されるコマンド処理シーケンスは、「コマンド格納」というイベントの発生に反応して、パケット処理回路20がBRRSパケットをコマンド受信バッファ22bに格納する点を除き、図4Aに示されるコマンド処理シーケンスと同一である。

【0131】また、「コマンド格納」というイベントによってコマンド受信割り込みがCPU25に出力される。CPU25は、このコマンド受信割り込みに反応し

て、コマンド受信バッファ22bに格納されたコマンドをレジスタ24経由で読み出し、そのコマンドを実行する。

【0132】その後、CPU25は、「転送パラメータ設定」という処理を実行することにより、データの転送に必要な各種のパラメータを設定する。

【0133】次に、図6Bを参照して、CPU25は、「ステータスWrite」という処理を実行することにより、ステータス情報の「ひな型」を作成し、それをステータス送信バッファ28に格納する。ステータス送信バッファ28に格納されたステータス情報の「ひな型」は、BWRQパケットのデータとして使用される。

【0134】その後、CPU25は、「データ転送起動」という処理を実行することにより、データ転送制御回路26は、「データ転送」というイベントを発生させる。このイベントの発生にตอบสนองして、パケット処理回路20は、BWRQパケットのヘッダとデータとを作成する。BWRQパケットのデータは、光ディスク33から読み出されたデータに基づいて生成される。BWRQパケットは、送受信バッファ16を介してバス12に出力される。

【0135】そのBWRQパケットに対する応答として、“Ack__complete”の値を有するAck PacketとWRSパケットとがバス12から受信されると、その受信されたWRSパケットがパケットフィルタ回路15に転送される。

【0136】パケットフィルタ回路15は、WRSパケットの内容を解析することにより、制御信号をシーケンス制御回路21に出力する。シーケンス制御回路21は、この制御信号をデータ転送制御回路26に通知する。

【0137】データ転送制御回路26は、「データ転送」というイベントの発生を繰り返す。これにより、16個のBWRQパケットが転送されることになる。

【0138】データ転送制御回路26が、「データ転送終了」というイベントを発生させると、このイベントの発生にตอบสนองして、シーケンス制御回路21は、「ステータス転送」というイベントを発生させる。この後のシーケンスは、図4Bに示されるシーケンスと同一であるので説明を省略する。

【0139】なお、CPU25が「データ転送起動」という処理を行った後、連続してステータスを送信するパケットをステータス送信バッファ28に書き込んでおき、コマンドを実行した後のCPU25への割り込みをスキップしてコマンドの実行を終了した後、シーケンス制御回路21が「ステータス転送」というイベントを発生させるというシーケンスを加えると、ハードウェアとソフトウェアとを用いて並列にシーケンスを処理することができる。これにより、CPU25の処理によるソフトウェアのオーバーヘッドをなくすることができる。

【0140】なお、コマンド系のWRITEコマンドが実行される場合におけるシーケンス処理装置2の動作は、データの転送方向が逆であることを除いて基本的にコマンド系のREADコマンドが実行される場合におけるシーケンス処理装置2の動作と同様である。

【0141】図7A～図7Dは、コマンド系のREADコマンドが実行されている間にイニシエータ10からマネージメント系のLOGINコマンドが発行された場合におけるシーケンス処理装置2の動作を示す。

【0142】図7Aを参照して、データ転送処理シーケンスの実行中に、バス12からLOGINコマンドのBWRQパケットが受信されると、そのBWRQパケットがパケットフィルタ回路15に転送される。

【0143】パケットフィルタ回路15は、BWRQパケットの内容を解析することにより、制御信号をシーケンス制御回路21に出力する。

【0144】シーケンス制御回路21は、パケットフィルタ回路15からの制御信号にตอบสนองして、「トランザクション終了待ち」というイベントを発生させる。このイベントの発生にตอบสนองして、データ転送制御回路26は、「トランザクション一時停止」というイベントを発生させる。このイベントの発生にตอบสนองして、パケット処理回路20に対して、トランザクション停止要求の制御信号を与え、データ転送処理シーケンスのための新たなパケットの生成が停止される。

【0145】図7Bを参照して、「トランザクション一時停止」というイベントの発生にตอบสนองして、シーケンス制御回路21は、「Ack Control Set」というイベントを発生させる。これに続くシーケンスは、図4Aに示されるマネージメント系のLOGINコマンドのコマンド処理シーケンスと同様である。

【0146】図7Cを参照して、「ステータス転送終了」というイベントによって割り込みがCPU25に出力される。CPU25は、割り込みの発生によってマネージメント系のLOGINコマンドに対応するコマンド処理シーケンスが終了したことを通知される。

【0147】その後、CPU25は、「データ転送再開」という処理を実行することにより、データ転送制御回路26は、「データ転送」というイベントを発生させる。これにより、一時中断した以降のデータ転送処理シーケンスが再開される。

【0148】図7C～図7Dに示されるデータ転送の再開後のデータ転送処理シーケンスは、図6Bに示されるデータ転送処理シーケンスと同様である。

【0149】このように、本実施の形態によれば、シーケンス制御回路21とデータ転送制御回路26とが協同してトランザクションを管理することにより、データ転送処理シーケンスおよびコマンド処理シーケンスの実行を効率的に制御することができる。その結果、一連のシーケンス処理の高速化を図ることができる。また、本実

施の形態で説明したように、データ転送処理シーケンスの実行中にそのデータ転送処理シーケンスとは無関係のコマンドを受信した場合でもCPU25がそのコマンドに基づくコマンド処理シーケンスを実行する必要がない。従って、CPU25におけるファームウェアのオーバーヘッドを最小限にすることができる。

- 7 【0150】なお、上述した実施の形態1および実施の形態2では、イニシエータが1つの場合について記述したが、IEEE1394ではターゲットに接続されている2以上のノードがイニシエータになることができる。この際にも、上述したシーケンス処理を行うことで、複数のイニシエータに対するシーケンス処理を行うことができる。

13 【0151】

【発明の効果】本発明によれば、コマンド受信バッファに格納されたパケット（コマンド）は、CPUによって実行される。しかし、コマンド処理シーケンスの実行はシーケンス制御回路によって制御されるため、CPUがコマンド処理シーケンスの実行に関与することはない。これにより、コマンド処理シーケンスの実行中におけるCPUの負荷を軽減することが可能になる。その結果、データを高速に転送することを可能にするシーケンス処理装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1のシーケンス処理装置1の構成を示す図である。

【図2】(a)～(e)は、バス12から受信されるパケットのフォーマットを示す図である。

【図3】(a)～(e)は、リンクコア回路14に書き込む際のパケットのフォーマットを示す図である。

【図4A】マネージメント系のLOGINコマンドが実行される場合におけるシーケンス処理装置1の動作を示す図である。

【図4B】マネージメント系のLOGINコマンドが実行される場合におけるシーケンス処理装置1の動作を示す図である。

【図5】本発明の実施の形態2のシーケンス処理装置2の構成を示す図である。

【図6A】コマンド系のREADコマンドが実行される場合におけるシーケンス処理装置2の動作を示す図である。

【図6B】コマンド系のREADコマンドが実行される場合におけるシーケンス処理装置2の動作を示す図である。

【図7A】コマンド系のREADコマンドが実行されて

いる間にイニシエータ10からマネージメント系のLOGINコマンドが発行された場合におけるシーケンス処理装置2の動作を示す図である。

【図7B】コマンド系のREADコマンドが実行されている間にイニシエータ10からマネージメント系のLOGINコマンドが発行された場合におけるシーケンス処理装置2の動作を示す図である。

【図7C】コマンド系のREADコマンドが実行されている間にイニシエータ10からマネージメント系のLOGINコマンドが発行された場合におけるシーケンス処理装置2の動作を示す図である。

【図7D】コマンド系のREADコマンドが実行されている間にイニシエータ10からマネージメント系のLOGINコマンドが発行された場合におけるシーケンス処理装置2の動作を示す図である。

【図8】マネージメント系のLOGINコマンドを実行するためのコマンド処理シーケンスを示す図である。

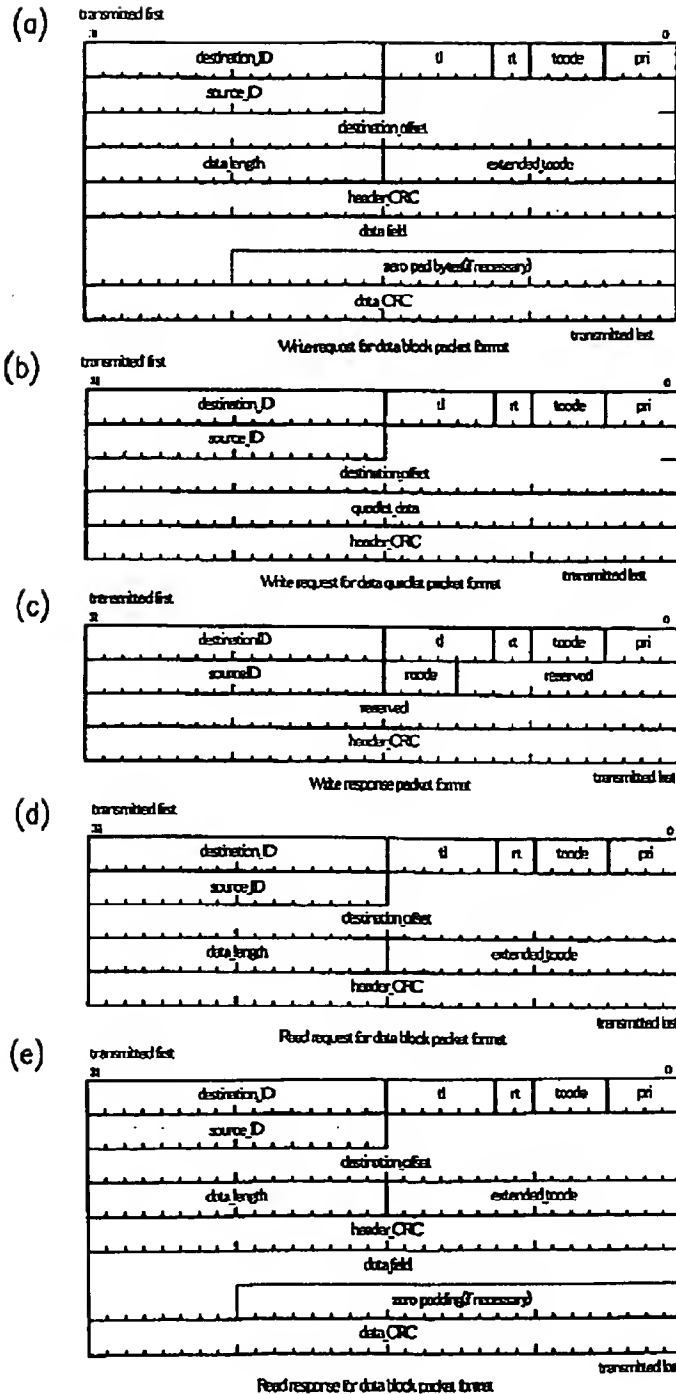
【図9】コマンド系のREADコマンドを実行するためのコマンド処理シーケンスを示す図である。

【図10】従来のシーケンス処理装置110の構成を示す図である。

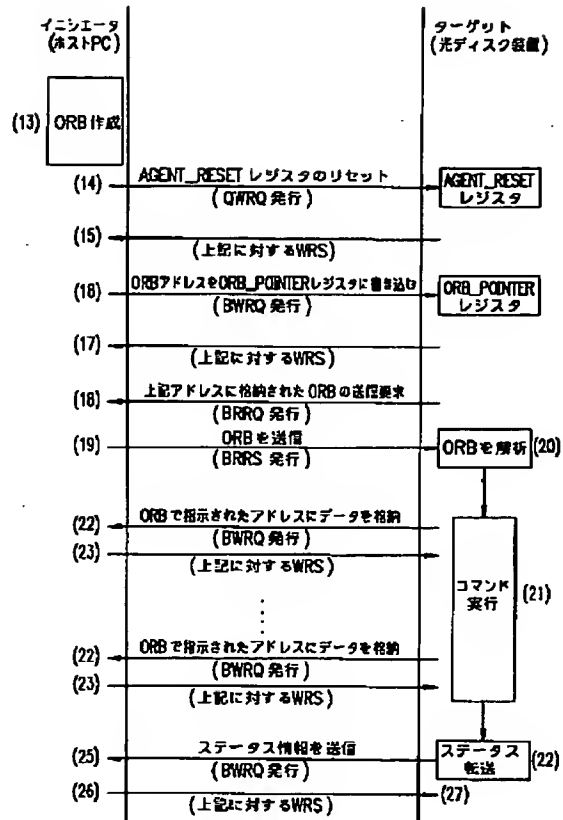
【符号の説明】

- 1、2 シーケンス処理装置
- 10 ホストコンピュータ
- 12 1394シリアルバス
- 13 物理層コントローラ
- 14 リンクコア回路
- 15 パケットフィルタ回路
- 16 送受信バッファ
- 17 送信バッファ
- 18 パケット受信バッファ
- 19 送信フィルタ
- 20 パケット処理回路
- 21 シーケンス制御回路
- 22 コマンド受信バッファ
- 22a、22b コマンド受信バッファ
- 24 レジスタ
- 25 CPU
- 26 データ転送制御回路
- 29 DMAバス
- 30 光ディスクコントローラ
- 31 アナログ信号処理回路
- 32 光ヘッド
- 33 光ディスク

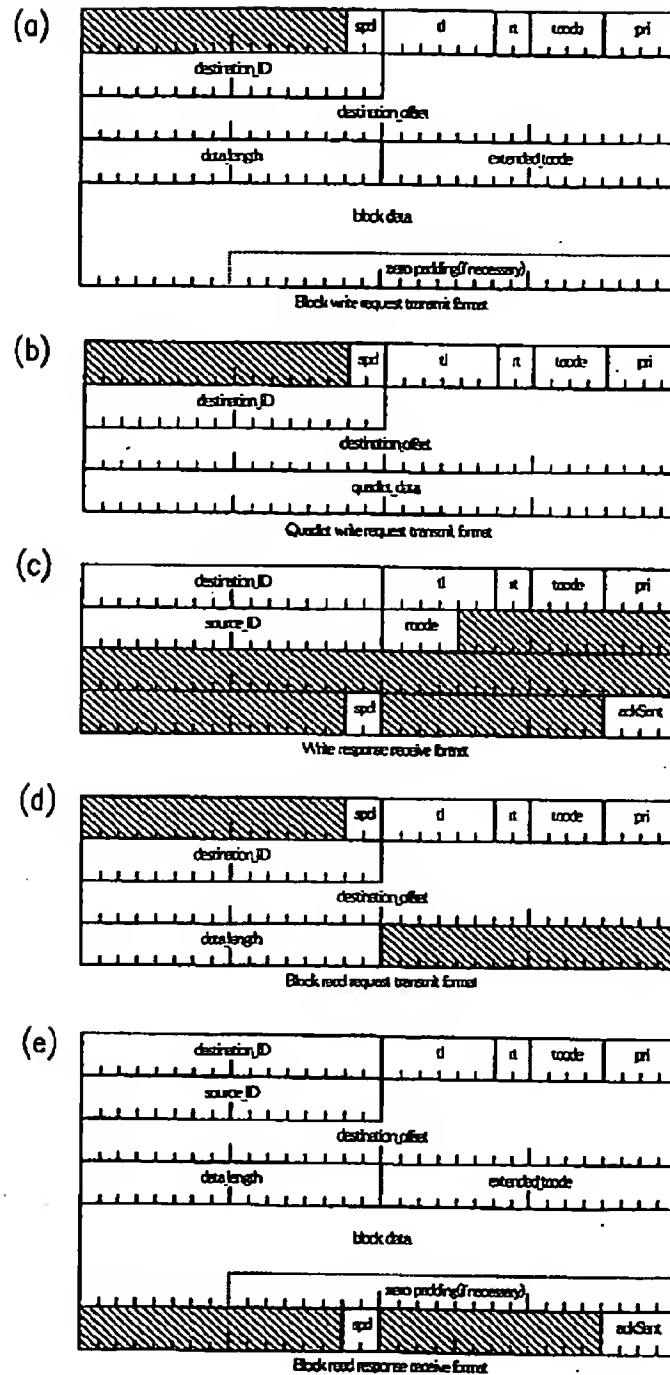
【図2】



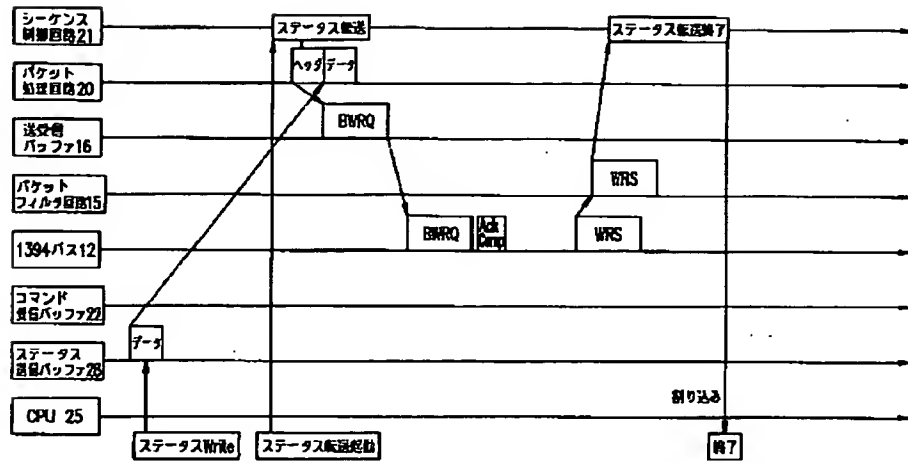
【図9】



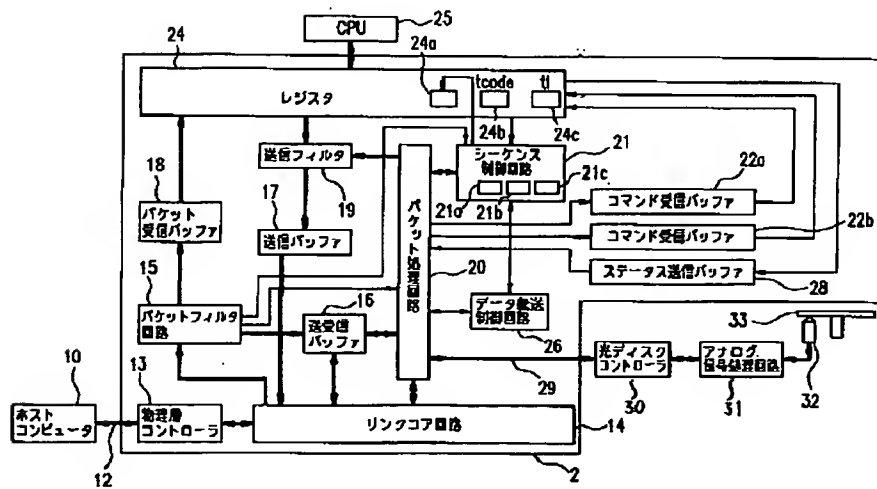
【 図 3 】



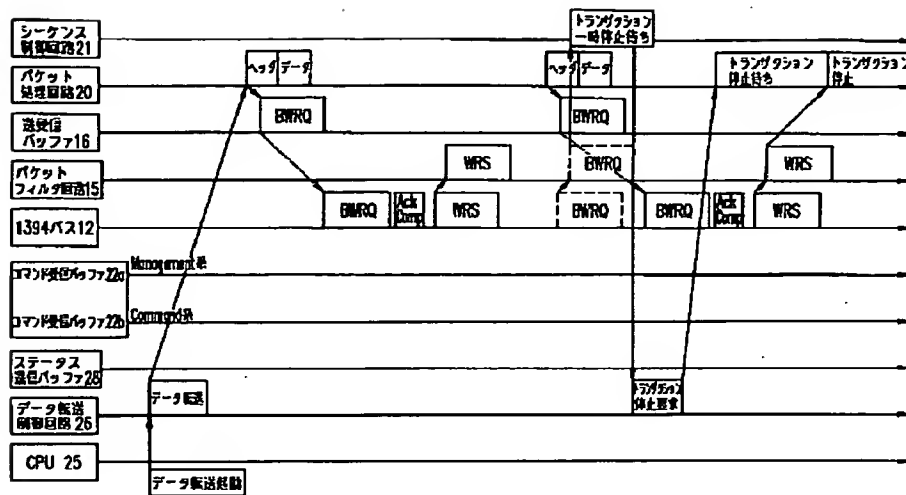
【図4B】



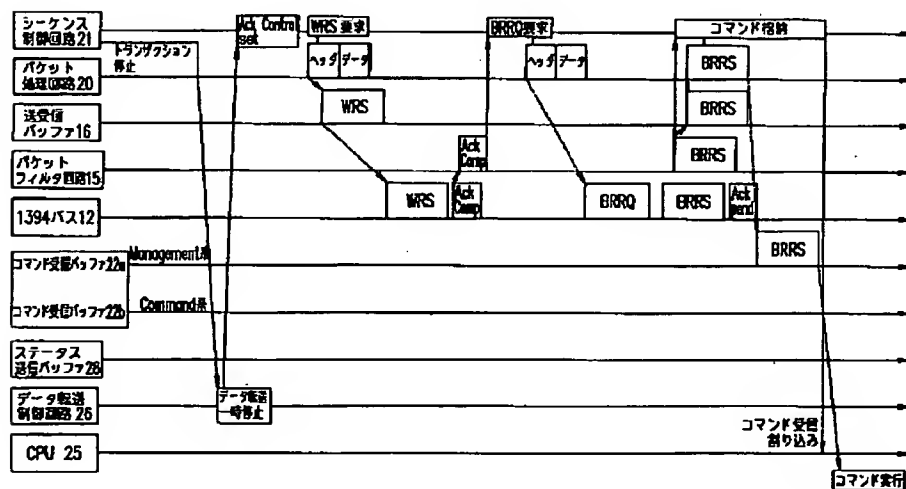
【図5】



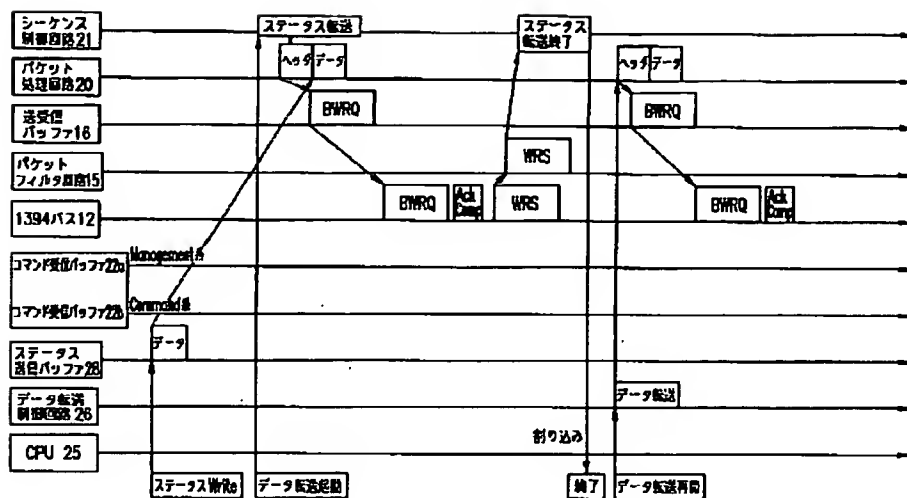
【図 7 A】



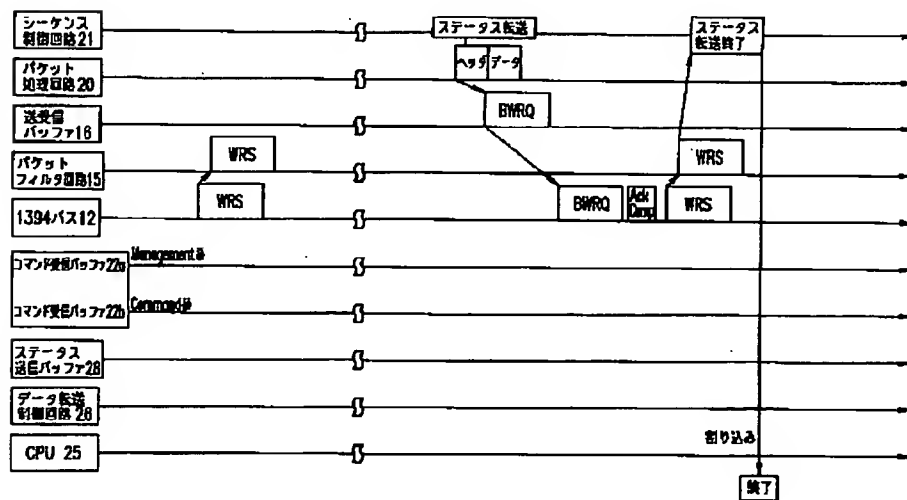
【図 7 B】



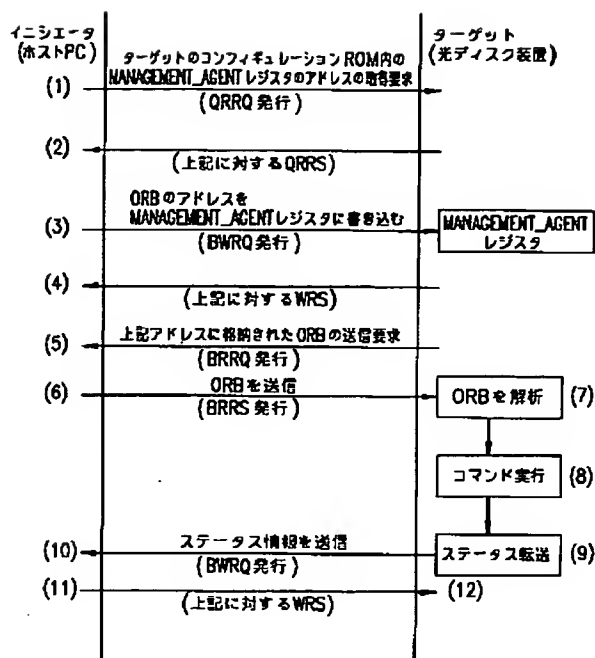
【図 7C】



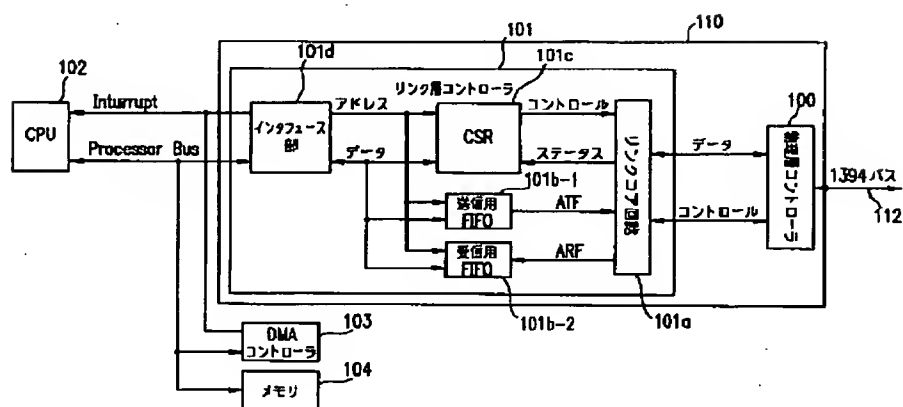
【図 7D】



【图8】



【图 10】



フロントページの続き

(72)発明者 吉田 宏
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 田平 由弘
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 山田 博
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5B014 EB04 GB07
5B077 NN02